

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-041089

(43)Date of publication of application : 12.02.1999

(51)Int.Cl.

H03K 19/0185

H03K 19/0175

H03K 19/0948

(21)Application number : 09-191006

(71)Applicant : DENSO CORP

(22)Date of filing : 16.07.1997

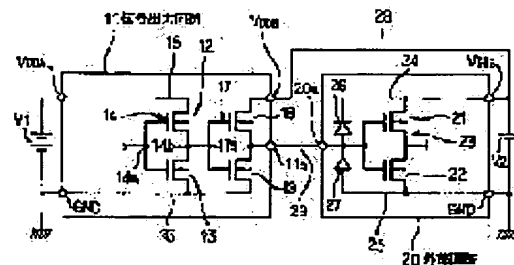
(72)Inventor : TAKEUCHI KATSUTO

## (54) SEMICONDUCTOR DEVICE

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To convert a level of a signal outputted to an external circuit operated at a different voltage from a signal output circuit into a proper level and to transmit the converted level without the use of an externally mounted component such as a pull-up resistor.

**SOLUTION:** An inverter gate 17 configured to supply a drive power supply independently of a drive power supply V1 is placed at a final output stage of a large scale integration (LSI) 11 that is driven by the 5 V drive power supply V1 except the final output stage and a drive power supply V2 (3 V) of an LSI 20 receiving an output signal of the LSI 11 is connected to a power supply input terminal VDDB of the inverter gate 17 via a power supply line 28.



## LEGAL STATUS

[Date of request for examination]

24.07.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

[Home](#)[Search](#)[List](#)[Back to  
Record](#)

## MicroPatent® PatSearch FullText: Record 1 of 1

Family of JP11041089A

[How It Works](#)

---

Family of JP11041089

No additional family members are found for this document

---

[Home](#)[Search](#)[List](#)[Back to  
Record](#)

---

For further information, please contact:  
[Technical Support](#) | [Billing](#) | [Sales](#) | [General Information](#)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-41089

(43) 公開日 平成11年(1999) 2月12日

(51) Int.Cl.<sup>6</sup>

識別記号

F I

H 0 3 K 19/0185  
19/0175  
19/0948

H 0 3 K 19/00  
19/094

1 0 1 B  
1 0 1 F  
B

審査請求 未請求 請求項の数 4 O L (全 5 頁)

(21) 出願番号 特願平9-191006

(22) 出願日 平成9年(1997) 7月16日

(71) 出願人 000004260

株式会社デンソー

愛知県刈谷市昭和町1丁目1番地

(72) 発明者 竹内 克仁

愛知県刈谷市昭和町1丁目1番地 株式会  
社デンソー内

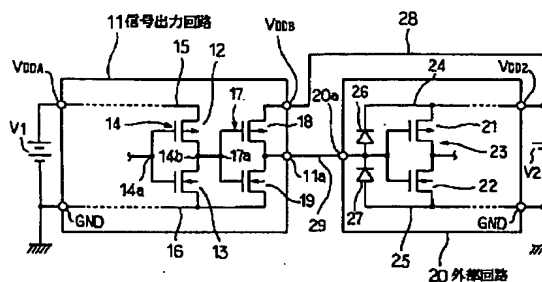
(74) 代理人 弁理士 佐藤 強

(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】 信号出力回路から異なる電圧で動作する外部回路に対して出力される信号のレベルを、プルアップ抵抗などの外付け部品を用いることなく適正に変換して送信する。

【解決手段】 最終出力段以外は5Vの駆動用電源V1によって駆動されるLSI11の最終出力段に、駆動用電源V1とは独立に駆動用電源が供給可能に構成されたインバータゲート17を配置して、そのインバータゲート17の電源入力端子VDDBに、LSI11の出力信号が与えられるLSI20の駆動用電源V2(3V)を電源線28を介して接続する。



14:単位回路  
17:単位回路、出力レベル変換回路

## 【特許請求の範囲】

【請求項1】 所定の機能を有する単位回路の組合わせによって信号出力回路を構成する半導体装置において、前記信号出力回路の最終出力段に配置される単位回路は、その駆動用電源が当該信号出力回路を構成するその他の単位回路の駆動用電源とは独立に供給可能である出力レベル変換回路として構成されていることを特徴とする半導体装置。

【請求項2】 前記出力レベル変換回路は、CMOS形であることを特徴とする請求項1記載の半導体装置。

【請求項3】 前記出力レベル変換回路の駆動用電源電圧は、前記信号出力回路を構成するその他の単位回路の駆動用電源電圧よりも低く設定されていることを特徴とする請求項1または2記載の半導体装置。

【請求項4】 前記出力レベル変換回路のアースは、前記信号出力回路を構成するその他の単位回路のアースとは分離されていることを特徴とする請求項1乃至3の何れかに記載の半導体装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、所定の機能を有する単位回路の組合わせによって信号出力回路を構成する半導体装置に関する。

## 【0002】

【従来の技術】斯様な半導体装置たる例えばLSI (Large Scale Integration) の駆動用電源の電圧は、主に低消費電力化の要請によってより低いものが望まれる傾向にある。ところが、駆動用電源電圧の低下は一方でノイズマージンの低下をもたらすため、LSIの使用態様或いは動作環境などに応じて、何れを優先させるかにより適当な駆動用電源電圧の選択がなされるようになっていく。

【0003】斯様な状況下では、1つのシステム内においても、異なる電源電圧によって駆動されるLSI群が混在する場合も生じる。例えば、自動車のエンジン制御に使用される電子回路のLSIなどでは、ホストCPUは3Vの電源電圧で駆動し、その周辺に使用され、センサの信号を処理するLSIは5Vの電源電圧で駆動するといったシステム構成例があり、この様な場合は、異なる電源電圧で駆動されるLSI間でやり取りするデジタル信号のレベルを変換する必要がある。

【0004】低電圧側LSIから高電圧側LSIへデジタル信号を出力する場合には、高電圧側LSIの入力段におけるしきい値レベルを、低電圧側LSIの出力レベルに合わせて調整することによって比較的容易に対応することができる。

## 【0005】

【発明が解決しようとする課題】しかしながら、信号の入出力方向が上述と逆の場合には、様々な問題が生じる。例えば、図3に示すように、電圧5Vの駆動用電源

V1で駆動され、出力段にCMOSゲート1を有するLSI2側から、3Vの駆動用電源V2で駆動されるCMOS形のLSI3側へ信号を出力する場合に、LSI2の出力端子2aを信号線4を介してLSI3の入力端子3aに直結した構成を考える。

【0006】この場合、LSI2の出力信号レベルがロウ（アースレベル）であれば問題ないが、前記出力信号レベルがハイ（5V）の場合には、電源V1とV2との電位差によって、LSI2からLSI3へと比較的大きな電流値のソース電流i1が流れ、消費電流が増大してしまう。また、ソース電流i1は、LSI3の入力段に設けられているダイオードなどの保護素子5を介してLSI3の内部に流入するため、LSI3を破壊してしまうおそれもある。

【0007】従って、一般には、図4に示すような構成が採用されている。即ち、LSI2に代えて、出力段にオープンドレインのNチャネルMOSFET6を備えたLSI2'を用いると共に、信号線4を、外付けのプルアップ抵抗7を介してLSI3の電源V2に接続したものである。

【0008】斯様な構成によれば、FET6がオフ時の出力レベルは電源V2の電圧レベル（3V）に等しくなるので、LSI3はハイレベルを認識できる。また、一般にFET6のオン抵抗は、プルアップ抵抗7の抵抗値よりも十分小さいため、FET6がオンした場合の出力レベルは略アースレベルとなる。そして、LSI3の入力信号レベルは、電源V2の電圧レベルとアースレベルとの間になるため、保護素子5に不要な電流が流れることもない。

【0009】しかしながら、図4の構成においても、以下のような問題が存在する。

①プルアップ抵抗7を用いるには、LSI2及び3が搭載されるプリント基板上にその分だけ面積を要するため、システム全体のサイズが大きくなってコストアップしてしまう。

【0010】②プルアップ抵抗7の接続によって、その抵抗値及び配線容量などで決まる時定数が大となり、信号の立上がり速度が低下するため、信号の送信速度が制限される（図5参照）。

【0011】③FET6がオンの間に、電源V2からプルアップ抵抗7を介してFET6へとシンク電流i2が流入することにより、プルアップ抵抗7によって電力が消費されてしまう。

【0012】加えて、上記②の影響を軽減するにはプルアップ抵抗7の抵抗値を小さくすべきであり、また、③の影響を軽減するには逆に前記抵抗値を大きくすべきであって、両者はトレードオフの関係にある。従って、②、③の問題を同時に解決するのは実際には困難である。

【0013】本発明は上記事情に鑑みてなされたもので

あり、その目的は、信号出力回路から異なる電圧で動作する外部回路に対して出力される信号のレベルを、プリアップ抵抗などの外付け部品を用いることなく適正に変換して送信することができる半導体装置を提供することにある。

#### 【0014】

【課題を解決するための手段】請求項1記載の半導体装置によれば、出力レベル変換回路に外部回路の駆動用電源電圧に等しい電圧の電源を供給することにより、信号出力回路の出力信号レベルは、外部回路で適正に取り扱うことができるレベルに変換される。従って、従来とは異なり、信号レベルを変換するためにプリアップ抵抗などを用いる必要がないので、消費電力を抑制し得て高速で信号の送信が可能であり、また、外部回路を含めた全体を小形に構成することができる。

【0015】請求項2記載の半導体装置によれば、出力レベル変換回路をCMOS形としたので、信号出力回路の出力レベルに応じてPチャネル側、Nチャネル側の何れか一方のMOSFETのみがオン状態となり、不要な通電を抑制し得て電力消費を極力低減することができる。

【0016】請求項3記載の半導体装置によれば、信号出力回路の最終出力段以外の単位回路を駆動する電源の電圧を、外部回路の駆動用電源の電圧より高く設定しても、両者の駆動用電源の電位差による電流が信号出力回路側から外部回路側に流出することがない。従って、外部回路に過剰な電流が流入して破壊に至ることを防止できる。

【0017】請求項4記載の半導体装置によれば、出力レベル変換回路のアースを、信号出力回路を構成する他の単位回路のアースと分離して、例えば、出力レベル変換回路を含む信号出力回路の駆動用電源の電圧を外部回路の駆動用電源の電圧に等しく設定し、出力レベル変換回路及び外部回路のアース電位を共通化して、前記アース電位と最終段以外の信号出力回路のアース電位とを異なるものに設定することにより、請求項1乃至3と同様の効果が得られる。

#### 【0018】

【発明の実施の形態】以下、本発明を自動車のエンジンに制御する電子回路のLSI及びその周辺回路に適用した場合の一実施例について図1及び図2を参照して説明する。図1は、LSI（信号出力回路）11の要部の電気的構成を示すものである。LSI11は、CMOS形の論理回路を中心とする半導体集積回路として構成されている。

【0019】この図1において、LSI11の最終出力段の前段は、PチャネルのFET12及びNチャネルのFET13のゲート同士及びドレイン同士が夫々接続されたインバータゲート（単位回路）14として構成されている。

【0020】正側の電源母線15は、LSI11の電源入力端子VDDAに接続されており、負側の電源母線16は、LSI11のアース端子GNDに接続されている。そして、FET12及び13のソースは、夫々電源母線15及び16に接続されている。

【0021】FET12及び13のゲートは、インバータゲート14の入力端子14aとなっており、前段に配置されている図示しない回路から出力される信号が入力されるようになっている。FET12及び13のドレインは、インバータゲート14の出力端子14bとなっており、次段（最終出力段）に配置されているインバータゲート（単位回路、出力レベル変換回路）17の入力端子17aに接続されている。

【0022】インバータゲート17は、インバータゲート14と同様に、PチャネルのFET18及びNチャネルのFET19のゲート同士及びドレイン同士が夫々接続されて構成されている。FET19のソースは電源母線16に接続されており、FET18のソースは、電源入力端子VDDAとは独立の電源入力端子VDDBに接続されている。また、FET18及び19のドレインは、LSI11の外部出力端子11aに接続されている。

【0023】以上がLSI11を構成しており、LSI11の電源入力端子VDDA及びアース端子GND間には、駆動用電源V1が接続されている。このLSI11は、自動車のエンジンに関する各種情報を得るために設けられているセンサの信号について信号処理を行うものであり、A/D変換処理におけるダイナミックレンジを確保する必要があるため、駆動用電源V1の電圧は5Vに設定されている。従って、具体的には図示しないが、LSI11を構成する一部の単位回路には、オペアンパやコンパレータなどのアナログ回路や、A/D変換回路なども含まれている。

【0024】一方、外部回路たるLSI20も、CMOS形の論理回路素子として構成されている。LSI20内部の入力段には、PチャネルのFET21及びNチャネルのFET22のゲート同士及びドレイン同士が夫々接続されたインバータゲート23が構成されている。

【0025】正側の電源母線24は、LSI20の電源入力端子VDD2に接続されており、負側の電源母線25は、LSI20のアース端子GNDに接続されている。そして、FET21及び22のソースは、夫々電源母線24及び25に接続されている。FET21及び22のゲートは、LSI20の入力端子20aに接続されている。FET21及び22のドレインは、次段に配置されている図示しない回路の入力端子に接続されている。

【0026】また、LSI20の入力部には、保護用素子として、電源母線24、25間に接続されたダイオード26及び27の直列回路が設けられており、ダイオード26及び27の共通接続点は、FET21及び22のゲートに接続されている。

【0027】以上がLSI20を構成しており、LSI20の電源入力端子VDD2及びアース端子GND間には、駆動用電源V2が接続されている。このLSI20は、自動車のエンジン制御用の電子回路を構成するマイクロコンピュータであり、低電圧で動作させるため、駆動用電源V2の電圧は3Vに設定されている。

【0028】LSI11のインバータゲート17に駆動用電源を供給するための電源入力端子VDDBは、LSI20の駆動用電源V2の正側端子に電源線28を介して接続されている。そして、LSI11の外部出力端子11aとLSI20の入力端子20aとは信号線29を介して接続されており、LSI11側からLSI20側に信号を出力するようになっている。

【0029】次に、本実施例の作用について図2をも参照して説明する。LSI11のインバータゲート17以外の構成要素は、前述のように、5Vの駆動用電源V1によって駆動されている。例えば、インバータゲート17の前段に配置されたインバータゲート14の出力信号が、図2中破線で示すように0-5Vの範囲で変化したとする。

【0030】すると、その出力信号は、次段のインバータゲート17に与えられる。インバータゲート17は、電源入力端子VDDBに与えられるLSI20の3Vの駆動用電源V2によって駆動されているため、インバータゲート17に入力された信号は、0-3Vの範囲にレベル変換されて反転される。

【0031】従って、LSI11の外部出力端子11aに出力される信号は、図2中実線で示すような波形となる。そして、インバータゲート17からの出力信号は、LSI20の入力端子20aに与えられて、適正な入力レベルにより論理が判定される。

【0032】以上のように本実施例によれば、最終出力段以外は5Vの駆動用電源V1によって駆動されるLSI11の最終出力段に、駆動用電源V1とは独立に駆動用電源が供給可能に構成されたインバータゲート17を配置して、そのインバータゲート17の電源入力端子VDDBに、LSI11の出力信号が与えられ3Vの電源で動作するLSI20の駆動用電源V2を電源線28を介して接続した。

【0033】従って、LSI11の出力信号レベルは、LSI20においてその出力信号の論理レベルを適正な範囲で判定できるように、3Vの電源で駆動されるインバータゲート17により変換されるので、従来とは異なり、信号レベルを変換するのにプルアップ抵抗などを用いる必要がなく、消費電力を抑制し得て高速で信号の送信が可能であり、LSI20を含む全体を小形に構成することができる。

【0034】また、LSI11の出力信号レベルがハイであっても、駆動用電源V1とV2との電位差によりLSI11側からLSI20側に電流が流出することがな

いので、LSI20を、過剰な電流の流入による破壊から防止することができる。

【0035】更に、本実施例によれば、インバータゲート17をCMOS形で構成したので、入力レベルがハイ、ロウの何れであっても、FET18及び19の何れか一方のみがオン状態となり他方はオフ状態となるから、不要な通電を抑制し得て電力消費を極力低減することができる。

【0036】本発明は上記し且つ図面に記載した実施例にのみ限定されるものではなく、次のような変形または拡張が可能である。インバータゲート17と、その他のLSI11とのアースを分離する。そして、電源入力端子VDDA、VDDB及びVDD2を全て共通に接続し、インバータゲート17及びLSI20のアースを共通に接続して、分離したアース間において電位差が生じるようにしても良い。斯様な構成とした場合でも同様の効果が得られる。駆動用電源V1の電圧が、駆動用電源V2の電圧より低い場合であっても、インバータゲート17のしきい値電圧を電源電圧V1より低い電圧に設定することによって同様に適用が可能である。

【0037】インバータゲート17の電源入力端子VDDBに駆動用電源V2を接続するのに代えて、電圧3Vの独立の電源を接続しても良い。インバータゲート17のFET18及19を夫々独立に駆動することによりFET18及19を同時にオフ状態にできるように構成し、LSI11を3ステート出力にしても良い。インバータゲート17の前段に配置される単位回路は、インバータゲート14に限らずNANDゲートやNORゲートでも良い。また、出力レベル変換回路自体もインバータゲート17に限らず、NANDゲートやNORゲートであっても良い。

【0038】信号出力回路を構成する単位回路は、全て論理回路であっても良い。また、単位回路はCMOSゲートに限らず、NMOS或いはPMOSゲートであっても良い。更に、単位回路をTTLゲートで構成しても良い。自動車のエンジン制御する電子回路のLSIに限ることなく、駆動用電源の電圧が異なるLSI間で信号を出入力するものであれば適用が可能である。

【図面の簡単な説明】

【図1】本発明の一実施例における電氣的構成を示す図

【図2】出力レベル変換回路の入出力信号波形図

【図3】従来技術を示す図1相当図（その1）

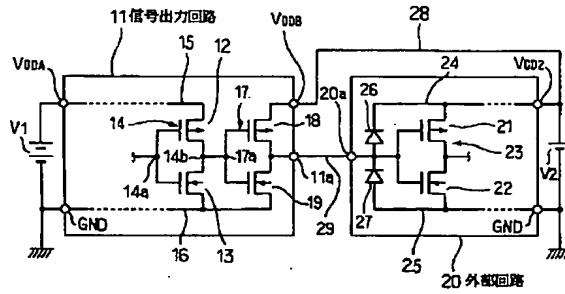
【図4】図1相当図（その2）

【図5】LSIの出力信号波形図

【符号の説明】

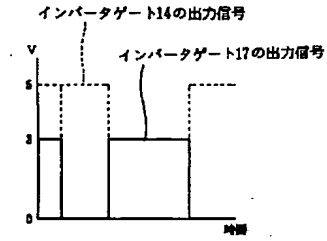
11はLSI（信号出力回路）、14はインバータゲート（単位回路）、17はインバータゲート（単位回路、出力レベル変換回路）、20はLSI（外部回路）を示す。

【図1】

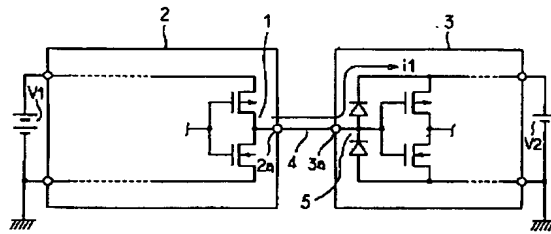


14: 単位回路  
17: 単位回路、出力レベル変換回路

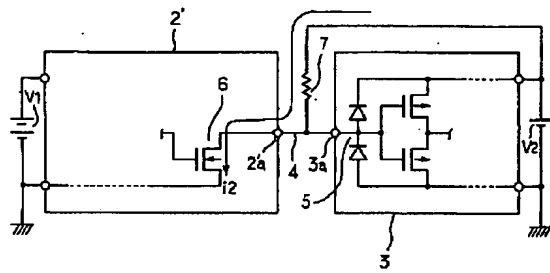
【図2】



【図3】



【図4】



【図5】

